

N

PAT-NO: JP401230767A

DOCUMENT-IDENTIFIER: JP 01230767 A

TITLE: SPUTTERING TARGET AND SEMICONDUCTOR DEVICE

PUBN-DATE: September 14, 1989

INVENTOR-INFORMATION:

NAME

ISHIHARA, HIDEO

KAWAI, MITSUO

UMEKI, TAKENORI

FUJIWARA, TETSUO

TADA, KAORU

*See page 412  
the Table*

ASSIGNEE-INFORMATION:

NAME

TOSHIBA CORP

COUNTRY

N/A

APPL-NO: JP63052639

APPL-DATE: March 8, 1988

INT-CL (IPC): C23C014/34, G02F001/133, H01L021/285, H01L029/40

US-CL-CURRENT: 204/298.13

ABSTRACT:

PURPOSE: To produce the title target for forming an alloy film useful as the wiring material of a semiconductor device using a single crystal Si board by mixing tantalum and niobium in a specified ratio to produce a sputtering target.

CONSTITUTION: A sputtering target contg. 10~90wt.% or preferably 20~80wt.% niobium and the balance tantalum is prepared. An alloy target, a sintered target, a composite target, etc., are exemplified as the form of the target. The content of impurity elements such as carbon, nitrogen, hydrogen, and oxygen is controlled to < about 5% as atoms. When the Nb-Ta alloy film obtained from the sputtering target is used as the wiring material of the semiconductor device using a single crystal Si board, the resistivity is reduced, and a semiconductor device having electrical wiring having excellent

workability, oxide film forming property, ohmic contact of silicon, bonding property, etc., is obtained.

COPYRIGHT: (C)1989,JPO&Japio

## ⑫ 公開特許公報(A) 平1-230767

⑤ Int. Cl.<sup>4</sup>C 23 C 14/34  
G 02 F 1/133  
H 01 L 21/285

識別記号

3 2 7  
3 0 1

庁内整理番号

8520-4K  
7370-2H  
R-7738-5F※

④ 公開 平成1年(1989)9月14日

審査請求 未請求 請求項の数 7 (全8頁)

④ 発明の名称 スパッタリングターゲットおよび半導体装置

② 特 願 昭63-52639

② 出 願 昭63(1988)3月8日

② 発 明 者 石 原 秀 夫 神奈川県横浜市磯子区新杉田町 8 株式会社東芝横浜事業  
所内

② 発 明 者 河 合 光 雄 神奈川県横浜市磯子区新杉田町 8 株式会社東芝横浜事業  
所内

② 発 明 者 梅 木 武 則 神奈川県横浜市磯子区新杉田町 8 株式会社東芝横浜事業  
所内

② 発 明 者 藤 原 鉄 雄 神奈川県川崎市幸区小向東芝町 1 株式会社東芝総合研究  
所内

① 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

④ 代 理 人 弁 理 士 則 近 憲 佑 外 1 名

最終頁に続く

## 明 細 書

## 1. 発明の名称

スパッタリングターゲットおよび半導体装置

## 2. 特許請求の範囲

- (1) 実質的にタンタルとニオブより成ることを特徴とするスパッタリングターゲット。
- (2) ニオブの含有量が重量パーセントで10～90%である特許請求の範囲第1項に記載のスパッタリングターゲット。
- (3) 電極配線材料を実質的にタンタルとニオブの合金膜により形成したことを特徴とする半導体装置。
- (4) ニオブの含有量が重量パーセントで10～90%である特許請求の範囲第3項に記載の半導体装置。
- (5) 前記合金薄膜を少なくとも1層以上用いた多層配線を有する特許請求の範囲第3項に記載の半導体装置。
- (6) 絶縁性基板と、この基板上に互いに交差して

複数本ずつ配設されたアドレス配線およびデータ配線と、各アドレス配線とデータ配線の交差位置に形成されゲート電極がアドレス配線に、ソース電極がデータ配線にそれぞれ接続された複数の薄膜トランジスタと、これら薄膜トランジスタのドレイン電極にそれぞれ接続された複数の表示用電極とを有する表示装置用駆動回路基板において、前記アドレス配線を、実質的にタンタルとニオブの合金膜により形成したことを特徴とする特許請求の範囲第3項に記載の半導体装置。

- (7) タンタルとニオブの合金膜の表面を陽極酸化してなる特許請求の範囲第3項に記載の半導体装置。

## 3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明はスパッタリングターゲット、および半導体装置に関する。

(従来技術)

近年、非晶質シリコン ( $a-Si$ ) 膜を用いた薄膜トランジスタをスイッチング素子とした、アクティブマトリクス型液晶表示装置が注目されている。この液晶表示装置は、安価なガラス基板を用いて低温膜形成技術によりアクティブマトリクス回路が形成できること、大面積化が容易であること、微細加工技術の適用により高精細化も可能であること等から、フラット型テレビジョンの有力候補と考えられている。絶縁性基板上的の薄膜トランジスタの構造には、ゲート電極を半導体薄膜の下に置く逆スタガー型、ゲート電極を半導体薄膜上に形成するスタガー型とがある。通常アクティブマトリクス基板では、アドレス配線をゲート電極と一体的に絶縁性基板上に形成し、薄膜トランジスタを逆スタガー型とする。逆スタガー型薄膜トランジスタを用いたアクティブマトリクス基板を形成する場合、大面積化、高精細化のためにアドレス配線兼ゲート電極に要求される特性は、この上に半導体薄膜やデータ配線が重ねられるので薄く、

しかも十分に低抵抗であること、できれば段差部テーパがついていること、ゲート絶縁膜として用いられる安定した酸素膜が表面に形成できること、後の工程で用いられる例えば硫酸と過酸化水素液等の洗浄液等に浸されないこと等である。このような要求を満たす上で好ましいアドレス配線兼ゲート電極材料として、従来よりタantal (Ta) 等の各種金属が用いられている。

一方、アクティブマトリクス型液晶表示装置を高精細且つ大面積に実現する場合、用いる薄膜トランジスタの数が非常に多くなる。例えば、アドレス 400×データ 400 の場合、素子数は160000となる。これだけの多くの薄膜トランジスタアレイを完全に製作することは難しく、種々の欠陥が発生する。例えば、多層配線或いはキャパシタの電氣的短絡、配線の解放、薄膜トランジスタの欠陥等である。表示装置として点欠陥を許容した場合、配線の解放は容易に救済することができる。例えばアドレス線が断線しても、両端から、信号を供給することにより

これを救済することができる。また、信号電圧を保持するキャパシタは、薄膜トランジスタのオフ抵抗を十分に大きくし、液晶の抵抗率を大きくすれば設ける必要がないため、この部分で致命的な画像欠陥とならない。これに対し、配線の短絡事故は致命的な大きい欠陥となる。例えばアドレス配線とデータ配線が短絡すると、これらの配線に沿って線欠陥となる。しかもこの欠陥は簡単には補修により救済することができない。

このような多層配線間の短絡を防止する方法として、アドレス配線兼ゲート電極をTa膜により形成し、その表面に陽極酸化膜を形成し、更にその上に $SiO_2$ 膜又は $Si_3N_4$ 膜を堆積する、という積層絶縁膜構造とすることが提案されている(特公昭60-54478号公報)。

しかしこの方法では、Taは一般には $\alpha Ta$ として存在しその電気抵抗は $13.5 \mu\Omega cm$ であるがスパッタにより生成した薄膜はTaが $\beta Ta$ となり約 $140 \sim 260 \mu\Omega cm$ と抵抗が大きくなっ

てしまう欠点がある。また、さらにTa膜の陽極酸化によりアドレス配線の抵抗が大きいのとなってしまう。このように配線抵抗が大きくなると、アドレスパルスの遅延による波形歪みが大きくなる。の結果アドレス配線の信号入力端部と終端部での画素への書込みに差が生じ、画質の均一性が損われることになる。Ta膜の膜厚を大きくすれば配線抵抗を小さくすることができるが、余り厚くすると膜のはがれやこの上に形成されるデータ配線の断線の原因となる。

Ta膜よりも低抵抗の配線材料としてモリブデン (Mo) がある。しかし、Mo膜は主として硫酸と過酸化水素水の混液での洗浄ができないこと、表面に良好な絶縁膜が形成できないこと等の理由でアクティブマトリクス基板のアドレス配線としては特性が十分である。

一方単結晶Si基板を用いた半導体集積回路、例えばダイナミックRAMに代表されるメモリ集積回路で用いられるMOSTランジスタのゲート電極配線には、不純物ドーパ多結晶シリコ

ン膜が一般に用いられて来た。しかし、更に素子の微細化、高集積化を図るためには多結晶シリコン膜では比抵抗が高過ぎる。多結晶シリコン膜より比抵抗が低く、且つ高温にも絶える材料としてはモリブデン・シリコンサイド ( $\text{MoSi}_2$ ) 膜等があるが、これを用いても電極配線の抵抗が多いために、電流の遅延という問題が生じる。

(発明が解決しようとする課題)

以上のように単結晶Si基板等を用いた半導体装置において、更に素子の微細化と高集積化を図るためには、電極配線の抵抗が大きい問題になっている。また、電極配線としては単に抵抗が小さいだけでなく、各種処理に対する耐性に優れ、且つSiとのオーミック接触性も良好な安定電極材料が望まれている。

同様に、従来のアクティブマトリクス基板では、アドレス配線兼ゲート電極の性能が大面積化、高精細化を妨げる原因となっていた。

本発明は、上記点に鑑みてなされたもので、

-Ta合金膜)となるように調整された事の特徴とするスパッタリングターゲットである。

ここでNbの含有量があまり少ないと合金膜の加工性や酸化膜形成性、混液洗浄性は良いが、電気抵抗が大きくなり、また逆にその量が多すぎると合金膜の電気抵抗は良好であるが、反対に混液洗浄性、特に $\text{H}_2\text{SO}_4$ が多い場合あるいは $\text{H}_2\text{O}_2$ が飛散した場合が悪くなるため、Nbの含有量は重量%で10~90%が好ましく、さらに好ましくは20~80%が良い。しかし、これらのターゲットの用いても雰囲気あるいは印加電圧等の条件により合金膜の組成は変化するのであり一概に決定されるものではない。

上記スパッタリングターゲット用ターゲットの形態としては、NbとTaを溶解し合金化した合金ターゲット、Nb粉末、Ta粉末を混合形成後焼結し得られた粉末焼結体よりなる焼結ターゲット、またはNb部材とTa部材の面積比により両者を複合させてなる複合ターゲット等が考えられる。

導電性、加工性、酸化皮膜の形成性、その他の特性や優れた合金膜の生成に好適なスパッタリングターゲットおよび前記合金膜を用いた半導体装置を提供することを目的とする。

[発明の構成]

(課題点を解決するための手段および作用)

本発明はa-Si膜や多結晶シリコン膜、単結晶Si基板などを用いた半導体装置の電気配線材料として種々の金属、合金膜について系統的に実験検討した結果、タンタル(Ta)とニオブ(Nb)の合金がTaあるいはMo膜の電気抵抗に比べ、遥かに低い電気抵抗を有するとともに、電気配線用膜として必要な加工性、酸化膜形成性、シリコンとのオーミック接触性、ボンディング性、その他が優れた半導体装置用電気配線膜が得られ、さらにこの半導体装置用電気配線膜の生成にはスパッタが好適であることを見出した事による。

すなわち、本発明はスパッタにより生成した電気配線用合金膜がTaとNbの合金膜(Nb

上記各ターゲットの選択理由を述べると、合金ターゲットはTaとNbのスパッタ効率が異なるため合金化した方が均一な合金膜が得られること、加工工程が比較的少ないこと等が挙げられる。この合金ターゲットを得る際の合金の溶解は、エレクトロンビーム溶解、消耗電極式アーク溶解等が好ましい。

次に焼結ターゲットは、TaとNbのスパッタ効率が異なる為、粉末を混合し焼結すると生成する合金膜のバラツキが比較的少ない。

また、複合ターゲットはTa板とMo板をそのまま使用できるため原料の入手が容易であり、焼結ターゲットと比較してガス成分の少ないものが得られる。

なお、本発明に係る電気配線用スパッタリングターゲットにおいて、炭素、窒素、水素、酸素、その他の不純物元素は少ないほうが望ましいが5%原子以下の範囲で含むことは許容される。

上記スパッタリングターゲットにより得られ

るNb-Ta合金膜を単結晶Si基板を用いた半導体装置の配線材料として用いることにより、Ta、Moなどの金属膜より比抵抗が小さく、そのため電流の遅延が小さくなる。また、加工性、酸化膜形成性、シリコンとのオーミック接触性、ボンディング性等に優れた電極配線を有する半導体装置が得られる。

これら半導体装置に用いられる電極配線材料を得るための薄膜形成はスパッタ法に限られるものではなく、CVD法、プラズマCVD法、電気抵抗加熱法、電子ビーム蒸着法等でも可能である。

また、絶縁性基板と、この基板上に互いに交差して複数本ずつ配設されたアドレス配線およびデータ配線と、各アドレス配線とデータ配線の交差位置に形成されゲート電極がアドレス配線に、ソース電極がデータ配線にそれぞれ接続された複数の薄膜トランジスタと、これら薄膜トランジスタのドレイン電極にそれぞれ接続された複数の表示用電極とを有する表示装置用駆

動回路基板において、前記アドレス配線、Ta-Nb合金膜により形成することにより上記と同様に極めて良好な特性を得ることが可能となる。

#### (実施例)

純度99.9%のTaおよびNbを原料としてTaとNbの含有量を種々変化した合金をエレクトロンビーム溶解により溶解後機械加工し、ターゲットを作成した。

次いでこのように用意された合金ターゲットを用いてアルゴン雰囲気中、室温でスパッタリングを行なったのち、電気抵抗、加工性(ドライ)、酸化膜形成性等について各種試験を行った。

その結果を第1表に示す。

以下余白

第 1 表

膜組成		実 施 例												比 較 例			
		Ta(Wt%)	100	90	80	70	60	50	40	30	20	10	0	(純金属、シリサイド)			
比抵抗 $\times 10^{-6}$ $\Omega \cdot \text{cm}$	焼成後 300℃ 熱処理後	Nb(Wt%)	0	10	20	30	40	50	60	70	80	90	100	Ti	Cr	Mn	MoSiI
			260	87	61	43	45	47	51	53	50	48	29	470	130	53	910
			220	85	60	41	43	42	46	49	47	43	27	460	130	50	990
加工性(ドライ)			○	○	○	○	○	○	○	○	○	○	○	△	△	○	○
テーパー加工			○	○	○	○	○	○	○	○	○	○	○	△	×	○	○
熱酸化膜形成			○	○	○	○	○	○	○	○	○	○	○	△	×	×	○
電極酸化膜形成			○	○	○	○	○	○	○	○	○	○	○	×	×	×	○
H <sub>2</sub> SO <sub>4</sub> +H <sub>2</sub> O <sub>2</sub> 混液洗浄			○	○	○	○	○	○	○	○	○	△	×	×	○	×	○
シリコンとの オーミック接触			○	○	○	○	○	○	○	○	○	○	○	×	×	○	○
SiO <sub>2</sub> 膜との 非反応性			○	○	○	○	○	○	○	○	○	○	○	△	△	△	○

なお、純度99.9%と称する市販のチタン、クロム、モリブデン、タンタル、 $\text{MoSi}_2$ などについても比較のため、スパッタリング後の特性を同様に評価した。

表から明らかなように、本発明にかかる合金膜は室温堆積後において、Ti, Cr, Ta,  $\text{MoSi}_2$ のいずれよりも比抵抗が小さい。堆積後、熱処理を行なうことにより、更に小さい比抵抗が得られる。また、ドライエッチングによる加工性も $\text{MoSi}_2$ の膜と同等に優れたものであり、テーバ加工も容易であった。のち、Mo, Ti, Crなどで良質の熱酸化膜が形成されないが、本発明にかかる合金膜では良質の熱酸化膜が得られている。洗浄液として広く用いられる、 $\text{H}_2\text{SO}_4 + \text{H}_2\text{O}_2$  混液に対する耐性も優れたものであった。Siとのオーミック接触性も優れ、また $\text{SiO}_2$ 膜との反応も少なく、Siを用いた半導体装置との適合性が良好であることが確認されている。

なお表中の、○(良好)、△(やや良好)、

×(不良)の評価は、加工性についてはCF<sub>4</sub>系のドライエッチングが可能か否かにより、テーバ加工性については同じくCF<sub>4</sub>系のドライエッチングによりテーバ角度制御ができるか否かにより行った。熱酸化膜形成については、400℃程度の温度でピンホールがなく、 $3 \times 10^5 \text{ V/cm}$ 以上の耐圧、 $1 \times 10^{-10} \text{ A/cm}^2$ 以下のリーク電流の酸化膜が得られるか否かにより、陽極酸化膜形成については、ピンホールなく、 $3 \times 10^5 \text{ V/cm}$ 以上の耐圧、 $1 \times 10^{-10} \text{ A/cm}^2$ 以下のリーク電流の酸化膜が得られるか否かにより行った。またシリコンとのオーミック接触性については、400℃手度の温度で反応するか否かにより行った。

半導体装置の電極材料としては、熱酸化膜形成、陽極酸化膜形成、強酸処理等が必要になる場合があり、従来のMo電極では表に示すようにこれらが良好に行なえず、Ta電極ではこれらの処理が可能であるが比抵抗が高いという問題がある。この点本発明のNb-Ta合金は

熱酸化膜形成、陽極酸化膜形成、強酸処理を良好に行うことができ、低抵抗である。

以下、本発明の実施例を図面を用いて説明する。

第1図は、本発明をMOS集積回路に適用した実施例のMOSトランジスタ部分の断面図である。1は比抵抗 $\Omega \cdot \text{cm}$ のp型単結晶Si基板であり、これにフィールド絶縁膜2を形成し、素子領域に熱酸化により400nmのゲート酸化膜2'を形成した。この後Nb(40重量%) - Ta(60重量%)の合金膜をスパッタ法により300nm形成し、これをPEP、ドライエッチングによりパターンニングしてテーバ付のゲート電極3を形成した。そしてゲート電極3をマスクとして、Pイオンを $1 \times 10^{15} / \text{cm}^2$ 、100KeVで注入し、1000℃、30分の熱処理を行ってソース、ドレイン領域4、4'を形成した。この熱処理工程でゲート電極3の比抵抗は $30 \mu\Omega/\text{m}$ と低抵抗のものとなった。続いてCVD酸化膜5を1 $\mu\text{m}$ の厚さに形成し、これにコンタクトホール

6、6'を開け、Al膜の堆積、パターンニングによりソース、ドレイン電極7、8を形成した。

この実施例によれば、ゲート電極は従来の $\text{MoSi}_2$ 膜を用いた場合に比べて比抵抗が非常に低く、ゲート遅延時間の短い回路特性が得られる。また1000℃の熱処理によってもゲート電極とその下のゲート酸化膜との反応はなく、信頼性の高い素子性が得られる。

第2図は一実施例のアクティブマトリクス基板の等価回路である。11はガラス基板であり、この上に互いに交差する複数本ずつのアドレス配線12とデータ配線13が配設されている。後に詳細に説明するように、アドレス配線12はこの実施例ではNb-Ta合金膜により形成している。アドレス配線12とデータ配線13の各交差位置にスイッチングトランジスタとして薄膜トランジスタ14が形成されている。薄膜トランジスタ14のゲート電極はアドレス配線12に、ソース電極はデータ配線13にそれぞれ接続され、ドレイン電極は画素電極である

表示用電極15に接続されている。

第3図は一面素部分をより具体的に示した平面図であり、第3図(a)および(b)はそれぞれ第3図のA-A'およびB-B'断面図である。これを製造工程に従って説明すると、先ずガラス基板11上にNb-Ta合金膜がスパッタリングにより堆積され、パターニングしてアドレス配線12が形成される。この実施例ではNb-Ta合金膜は、Nb50重量%-Ta50重量%の合金を用い、厚さ200nm、配線幅30μmとした。アドレス配線12のエッジにはテーパーをつけた。このテーパーエッチングは、レジストとCF<sub>4</sub>+O<sub>2</sub>を用いたドライエッチングの条件の組合わせにより、容易に可能である。薄膜トランジスタ14のゲート電極41は、アドレス配線12と同じ材料を用いこれと一体形成される。

表示面積が20cm×15cm(A5サイズ)の液晶表示装置の場合、アドレス配線2の長さは約23cmとなる。上記条件のNb-Ta膜アドレス配

線12の長さ23cmの抵抗は11.2KΩであった。

こうしてアドレス配線12およびゲート電極41が形成された後、これらの表面に陽極酸化膜42が形成される。この実施例では陽極酸化は、0.01%クエン酸水溶液中で行なわれた。引続き全面にプラズマCVDにより200nmのSiO<sub>2</sub>膜43が形成される。この後、300nmのアンダー非晶質シリコン(a-Si)膜44、44'、50nmのn<sup>+</sup>型a-Si膜45、50nmのMo膜46がこの順に堆積される。これ3層は、薄膜トランジスタ部およびアドレス配線12とこの後形成されるデータ配線13の各交差部に島状に残してエッチングされる。この後150nmのITO膜により、各画素の表示用電極15が形成される。続いてAl膜の蒸着、パターニングによりデータ配線13このデータ配線13に連続的につながるソース電極47<sub>1</sub>、およびドレイン電極47<sub>2</sub>が形成される。ドレイン電極47<sub>2</sub>は表示用電極15にコンタクトさせる。

こうしてこの実施例のアクティブマトリクス

基板では、陽極酸化膜42とCVD SiO<sub>2</sub>膜43をゲート絶縁膜として薄膜トランジスタが形成される。またアドレス配線12とデータ配線13の各公差部では、陽極酸化膜42とCVD SiO<sub>2</sub>膜43および島状a-Si膜44'の積層膜が層間絶縁膜として用いられる。このアクティブマトリクス基板を用い、これと対向電極基板の間に液晶層を挟めば、液晶表示装置が得られる。

この実施例によれば、アドレス配線12の配線抵抗は非常に小さいものとなり、従ってこの実施例の基板を大面積表示装置用として用いて優れた性能が得られる。アドレス配線12のエッジにはテーパーがついており、これよりデータ配線13の段切れが確実に防止される。アドレス配線12のNb-Ta合金膜を陽極酸化して得られた陽極酸化膜は良質であり、この陽極酸化膜を含む層間絶縁膜を用いることによって、配線層間の短絡事故も確実に防止される。従ってこの実施例によれば、大面積、高精細且つ信

頼性の高い表示装置が実現できる。更に本発明は液晶表示装置に限らず、例えばEL表示装置等の液晶回路基板としても有用である。

#### [発明の効果]

以上述べたように本発明によれば、Nb-Taよりなるスパッタリングターゲットを使用し、スパッタにより得られる比抵抗が非常に小さく、加工性、安定性、に優れたNb-Ta合金膜を電極配線材料として用いることにより、各種半導体装置の尺の微細化、大面積および高集積化を図ることができ、また例えば表示装置用駆動回路基板のアドレス配線材料に低抵抗のNb-Ta合金膜を用いることにより、表示装置の大面積化、高精細化を図ることができる。

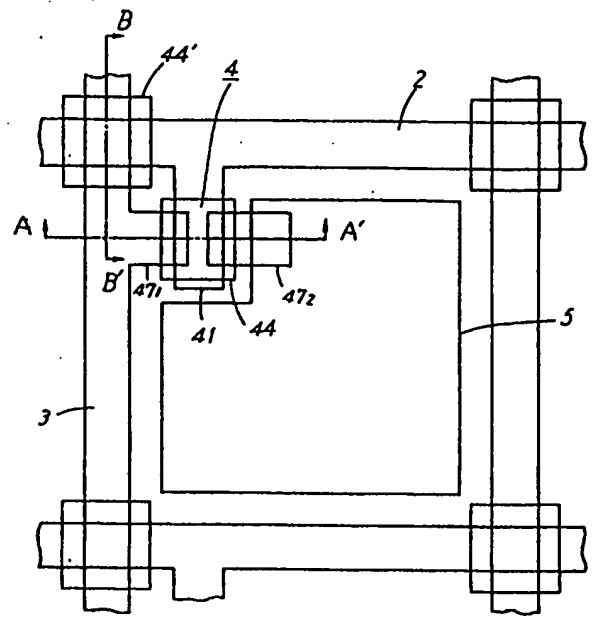
#### 4. 図面の簡単な説明

第1図は本発明の一実施例であるMOSトランジスタ部の断面図、第2図は本発明の他の実施例のアクティブマトリクス基板を示す等価回路図、第3図はその要部構成を示す平面図、第4図は(a)、(b)は第2図のA-A'、B-B'



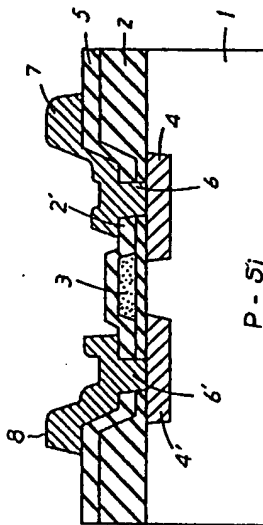
断面図である。

1…単結晶Si基板、2…フィールド絶縁膜、  
2'…ゲート酸化膜、3…ゲート電極(Nb-Ta合金膜)、4,4'…ドレイン、ソース領域、  
5…CVD酸化膜、6,6'…コンタクトホール、  
7,8…ドレイン、ソース電極、11…ガラス基板、  
12…アドレス配線、13…データ配線、14…薄膜トランジスタ、15…表示用電極、41…ゲート電極、  
42…陽極酸化膜、43…CVDSiO<sub>2</sub>膜、  
44,44'…アンドープa-Si膜、45…n<sup>+</sup>型a-Si膜、46…Mo膜、47<sub>1</sub>…ソース電極、47<sub>2</sub>…ドレイン電極

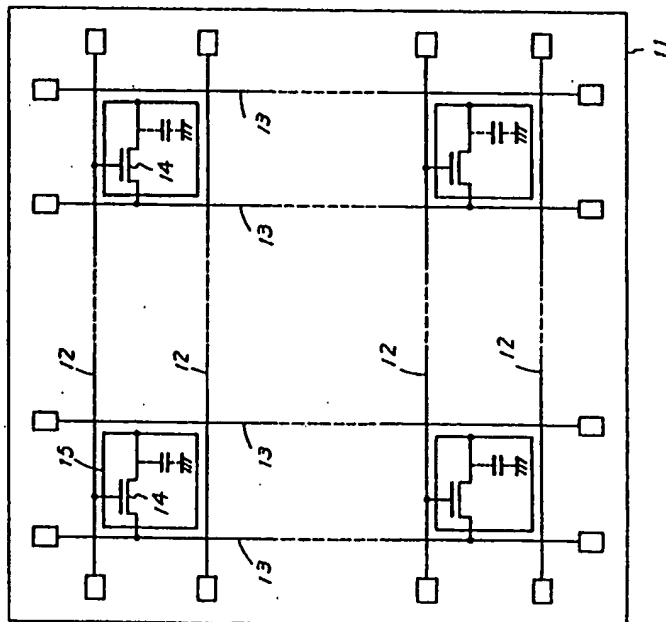


第3図

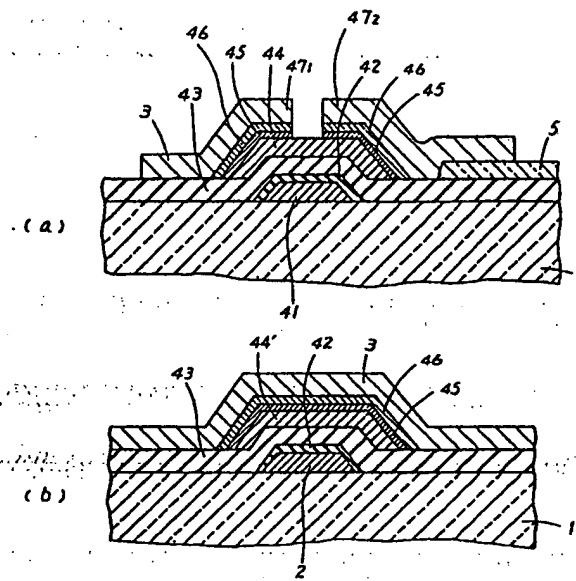
代理人弁理士 則 近 憲 佑  
同 湯 山 幸 夫



第1図



第2図



第4図

第1頁の続き

⑨Int.Cl.<sup>4</sup>

H 01 L 29/40

識別記号

庁内整理番号

A-7738-5F

⑩発明者 多田 薫

蒸

神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内